

Utility model claim

Best Available Copy

A parity check interrupt control circuit that is characterized in that it has a lower and upper data memory that writes and reads lower and upper data; a parity generator that inputs said lower and upper data and generates a lower and upper parity bit when writing or reading said lower and upper data; a lower and upper parity bit memory that stores respectively said lower and upper parity bit when writing said lower and upper data; a lower and upper comparison circuit that compares respectively the lower and upper parity bit generated by said parity generator and the lower and upper parity bit output from said lower and upper parity bit memory when reading said lower and upper data and outputs a lower and upper parity check signal; a mask circuit that lets through said parity check signal of the side requesting reading and masks said parity check signal of the side not requesting reading; and an output circuit that inputs said parity check signal let through said mask circuit and outputs an interrupt signal.

公開実用 昭和62-96744

⑬ 日本国特許庁(JP)

⑭ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-96744

⑮ Int. Cl.⁴

G 06 F 11/10

識別記号

3 2 0

庁内整理番号

C-7368-5B

⑯ 公開 昭和62年(1987)6月20日

審査請求 未請求 (全 頁)

⑰ 考案の名称 バリテイチェックの割込制御回路

⑱ 実 願 昭60-188089

⑲ 出 願 昭60(1985)12月5日

⑳ 考 案 者 廣 瀬 幸 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉒ 代 理 人 弁理士 内 原 晋

Best Available Copy

明 細 書

Best Available Copy

考案の名称

パリティチェックの割込制御回路

実用新案登録請求の範囲

下位及び上位のデータを書き込み読出しする下位及び上位のデータメモリと、前記下位及び上位のデータを書込むとき又は読出すときに前記下位及び上位のデータを入力し下位及び上位のパリティビットを発生するパリティ発生器と、前記下位及び上位のデータを書込むときに前記下位及び上位のパリティビットをそれぞれ記憶する下位及び上位のパリティビットメモリと、前記下位及び上位のデータを読出すときに前記パリティ発生器の発生する下位及び上位のパリティビットと前記下位及び上位のパリティビットメモリから出力される下位及び上位のパリティビットとをそれぞれ比較し下位及び上位のパリティチェック信号を出力する下位及び上位の比較回路と、読出し要求のある

- 1 -

504

941260-96744

側の前記パリティチェック信号は通過させ読出し
要求のない側の前記パリティチェック信号はマス
クするマスク回路と、前記マスク回路を通過した
前記パリティチェック信号を入力し割込信号を出
力する出力回路とを有することを特徴とするパ
リティチェックを割込制御回路。

考案の詳細な説明

〔産業上の利用分野〕

本考案はパリティチェックの割込制御回路に関
する。

〔従来の技術〕

従来のバイティチェックの割込制御回路につい
て図面を参照して説明する。

第2図は従来のパリティチェックの割込制御回
路の一例を示す回路図である。

この回路は、まず標準バスのデータバス11か
ら下位及び上位のデータメモリ1a, 1bにデー
タを書込むとき、データバッファ2a, 2b, 2
cを介して下位のデータを下位のデータメモリ1

Best Available Copy

a に書き込み、上位のデータを上位のデータメモリ 1 b に書き込む。このとき、下位及び上位のデータがパリティ発生器 2 に入力され、下位及び上位のパリティビット L P B, U P B を発生し、これらを下位及び上位のパリティビットメモリ 3 a, 3 b にそれぞれ記憶する。

次に、下位及び上位のデータメモリ 1 a, 1 b からデータを読み出すとき、下位又は上位の何れのデータが読み出し要求されてもパリティ発生器 2 には下位及び上位の両方のデータが入力され、下位及び上位のパリティビット L P B, U P B が出力され、この下位及び上位のパリティビット L P B, U P B と下位及び上位のパリティビットメモリ 3 a, 3 b から出力される下位及び上位のパリティビットとがそれぞれ下位及び上位のエクスクルーシブオア回路からなる比較回路 4 a, 4 b により比較され、パリティビットが不一致のときにパリティチェック信号が出力され、オア回路の出力回路 6 はこれらの信号が入力したとき割込信号 I N T を出力するようになっている。

Best Available Copy

〔考案が解決しようとする問題点〕

上述した従来のパリティチェックの割込制御回路は、データを読出すときに読出し要求が下位又は上位の何れか片方であっても、パリティ発生器2には下位及び上位のデータの両方が入力されて下位及び上位のパリティビットLPB、UPBを発生し、これらと下位及び上位のパリティビットメモリ3a、3bから出力される下位及び上位のパリティビットとがそれぞれ下位及び上位の比較回路4a、4bとで比較され、パリティビットが不一致のときにパリティチェック信号が出力されるので、読出し要求のない側のデータメモリにデータが書込まれていないような場合には、そのパリティビットは不確定であるためにパリティビットが一致しない場合があり、この場合にはパリティビット不一致としてパリティチェック信号が出力され、読出し要求のある側のパリティビットが一致しているにもかかわらず、不必要な割込信号INTを発生するという欠点がある。

本考案の目的は、読出し要求のない側のパリティ

74
74

Best Available Copy

ィチェック信号によって発生する不必要な割込信号の発生を防止できるパリティチェックの割込制御回路を提供することにある。

〔問題点を解決するための手段〕

本考案のパリティチェックの割込制御回路は、下位及び上位のデータを書込み読出しする下位及び上位のデータメモリと、前記下位及び上位のデータを書込むとき又は読出すときに前記下位及び上位のデータを入力し下位及び上位のパリティビットを発生するパリティ発生器と、前記下位及び上位のデータを書込むときに前記下位及び上位のパリティビットをそれぞれ記憶する下位及び上位のパリティビットメモリと、前記下位及び上位のデータを読出すときに前記パリティ発生器の発生する下位及び上位のパリティビットと前記下位及び上位のパリティビットメモリから出力される下位及び上位のパリティビットとをそれぞれ比較し下位及び上位のパリティチェック信号を出力する下位及び上位の比較回路と、読出し要求のある側の前記パリティチェック信号は通過させ読出し要

Best Available Copy

求のない側の前記パリティチェック信号はマスクするマスク回路と、前記マスク回路を通過した前記パリティチェック信号を入力し割込信号を出力する出力回路とを有している。

〔実施例〕

次に本考案の実施例について図面を参照して説明する。

第1図は本考案の一実施例を示す回路図である。

この回路が第2図に示す従来のパリティチェックの割込み制御回路と相異なる点は、下位及び上位の比較回路4a、4bと出力回路6との間に、下位又は上位の何れのデータが読出し要求されているかを示す読出信号A0とデータバス11の幅を指定するデータ幅信号BHENとを入力し、読出し要求されている側のパリティチェック信号を通過させ、読出し要求されていない側のパリティチェック信号をマスクするマスク回路5を設けた点にある。

このマスク回路5においては、下位及び上位のデータのビット数が下位及び上位のデータメモリ

Best Available Copy

1-a, 1-b のビット数と等しい場合には、データ幅信号 BHEN は非能動の状態に設定され、下位及び上位のデータのビット数が下位及び上位のデータメモリ 1-a, 1-b のビット数の 2 倍の場合には、データ幅信号 BHEN は能動の状態に設定される。

次に、このマスク回路 5 の動作を説明する。

下位及び上位のデータのビット数と下位及び上位のデータメモリ 1-a, 1-b のビット数を共に 8 ビットとすると、データ幅信号 BHEN は非能動の状態に設定されるので、オア回路 5-2, 5-3 の出力状態は信号 A-0 の状態により定まる。

今、下位のデータが読出し要求されたとすると読出信号 A-0 は非能動の状態に設定され、この状態はインバータ 5-1 とオア回路 5-2 とを経て 2 入力のアンド回路 5-4 の片方に能動の状態で入力されるので、アンド回路 5-4 の他方の入力端子に接続されている下位の比較回路 4-a からの下位のパリティチェック信号は、マスク回路 5 を通過して出力回路 6 に入力される。一方、上位の比較回路



Best Available Copy

4 b からの上位のバリティチェック信号は、オア回路 5 3 の出力が非能動の状態となるので、アンド回路 5 5 によりマスクされる。

また、上位のデータが読出し要求された場合には、読出信号 A 0 は能動の状態となり、下位のバリティチェック信号をマスクし上位のバリティ信号を通過させる。

また、下位及び上位のデータのビット数が 1 6 ビットで、下位及び上位のデータメモリ 1 a, 1 b のビット数が 8 ビットの場合には、下位又は上位の一つのデータを下位及び上位のデータメモリ 1 a, 1 b に同時に書込み読出しされ、データ幅信号 B H E N は能動の状態に設定されるので、読出信号 A 0 に関係なく下位及び上位のバリティチェック信号は共にマスク回路 5 を通過する。

なお、上述の動作説明では、データビット数を 8 ビット、1 6 ビットとした場合であったが、他のビット数の場合であっても同様に適用できる。

〔考案の効果〕

以上説明したように本考案は、マスク回路を設

Best Available Copy

け、読出し要求のない側のパリティチェック信号をマスクするようにしたので、読出し要求のない側のパリティチェック信号によって発生する不要な割込信号の発生を防止できる効果がある。

図面の簡単な説明

第1図は本考案の一実施例を示す回路図、第2図は従来のパリティチェックの割込制御回路の一例を示す回路図である。

1 a, 1 b ... 下位及び上位のデータメモリ、2 ... パリティ発生器、3 a, 3 b ... 下位及び上位のパリティビットメモリ、4 a, 4 b ... 下位及び上位の比較回路、5 ... マスク回路、6 ... 出力回路、11 ... データバス、12 a, 12 b, 12 c ... データバッファ、51 ... インバータ、52, 53 ... オア回路、54, 55 ... アンド回路。

代理人 弁理士 内 原 習

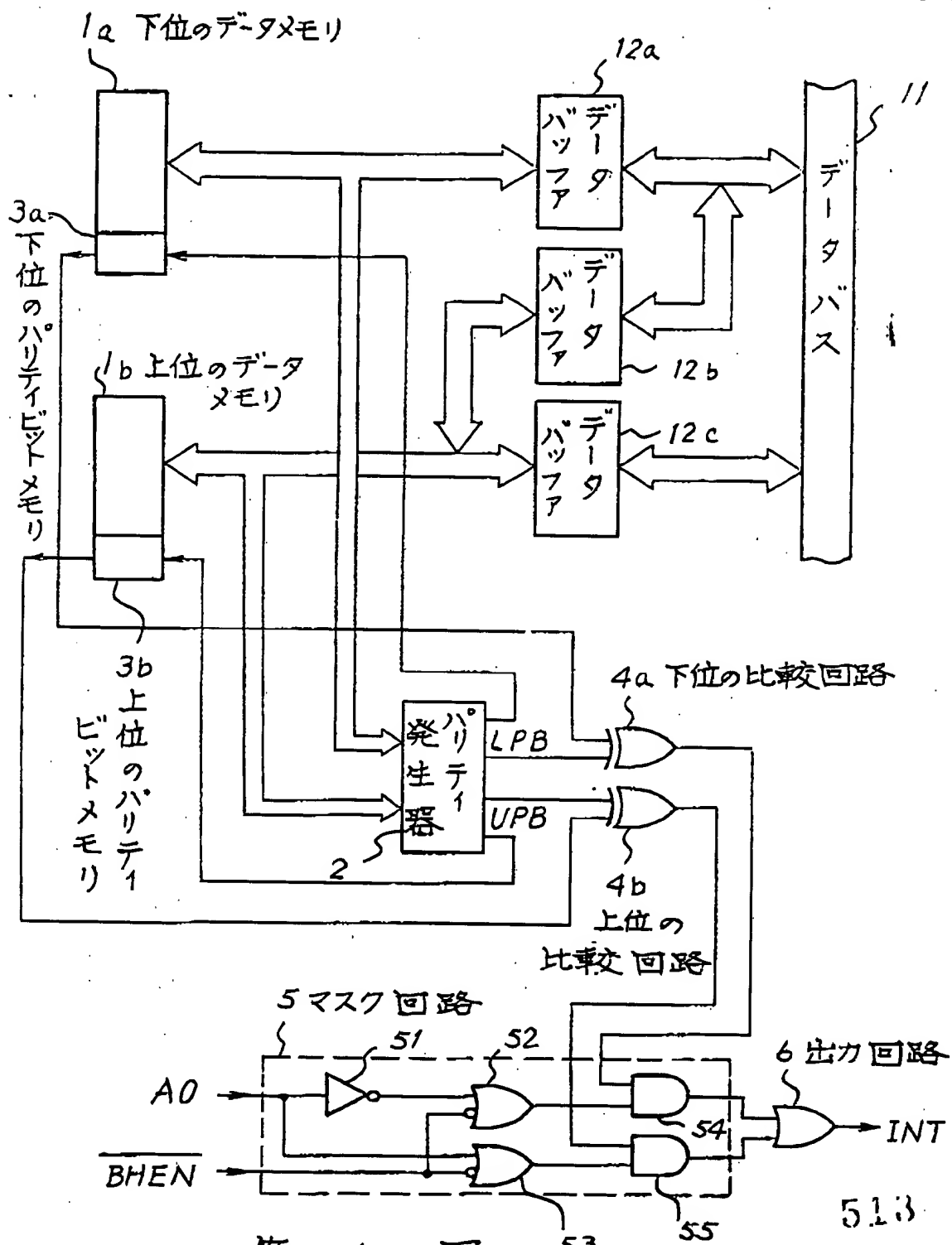


- 9 -

512



Best Available Copy

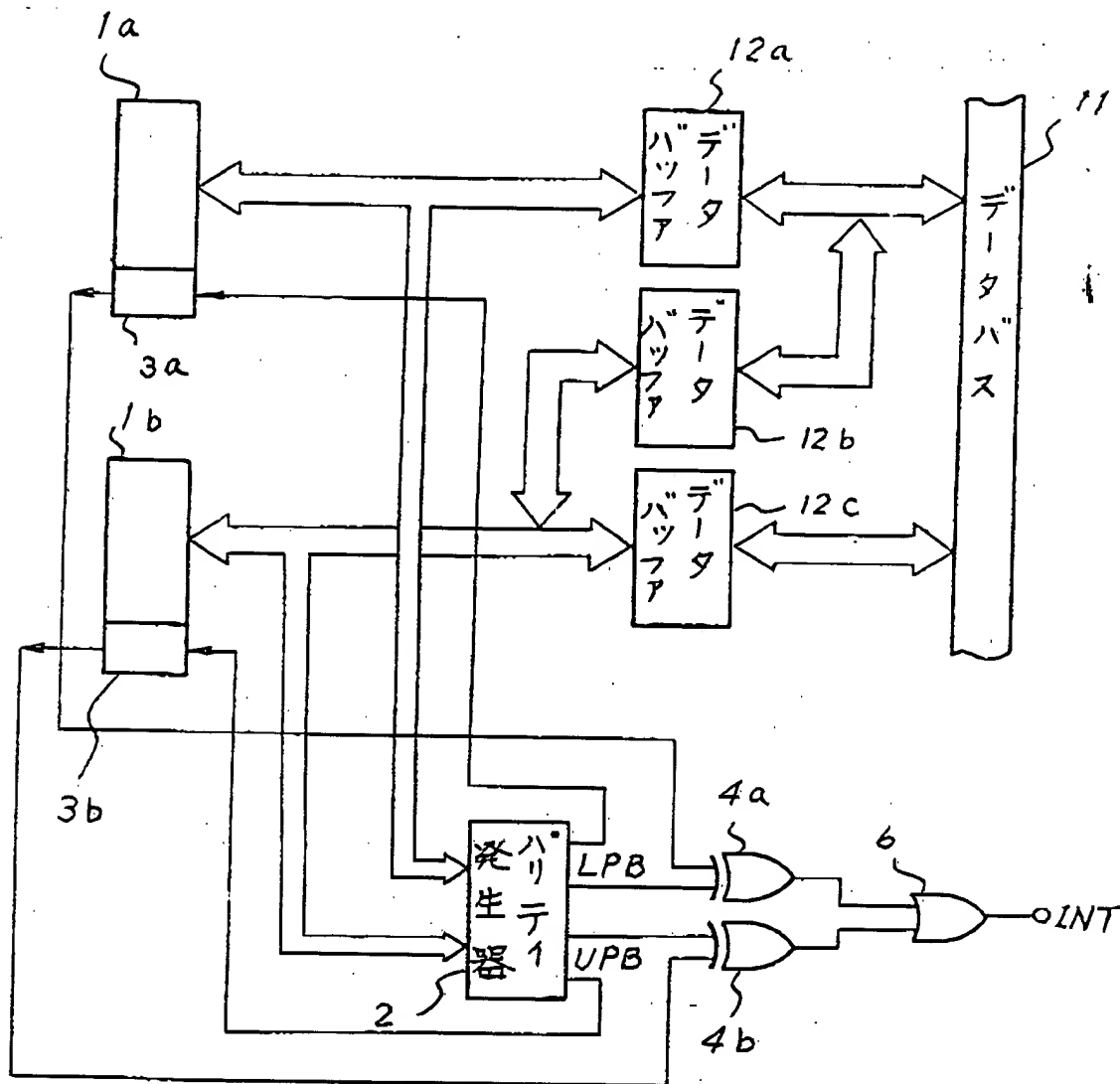


第 1 図

実開62-96744

代理人 弁理士 内 原 晋

Best Available Copy



第 2 図

514

実開62-96744

代理人 弁理士 内 原 晋